

Citation 1

(Translation of Relevant parts and Abstract)

Japanese Patent Application Laying Open (KOKAI) No. 2-103630

laid open to the public April 16, 1990

Japanese Patent Application No. 63-256845

filed October 12, 1988

Priority(ies) claimed: None

Applicant(s): NEC Corporation, Tokyo, Japan and
KOUFU NIPPON DENKI KK, Yamanashi, Japan

Inventor(s): Akihisa MAKITA, et al., Japanese citizens

Title of Invention: DATA PROCESSOR

Detailed Description of the Invention:

page 2, right upper column, line 19 to left lower column, line 19

. Instructions used here include Load Multiple instruction (hereinafter call LM instruction) and Store Multiple instruction (hereinafter called STM instruction). The LM instruction and the STM instruction are in the instruction format shown in Figure 4 that shows instruction formats of the LM instruction and the STM instruction. The LM instruction and the STM instruction have operation code part OP for indicating that the instruction is LM instruction or STM instruction, ADR field for indicating an address of main memory storing data to be loaded into a register for an LM instruction and indicating an address of main memory for storing contents of a register for an STM instruction, N_b, N_g fields for indicating the number of base registers and general-purpose registers

for loading or storing, and B1, G1 fields for indicating the top number of base registers and general-purpose registers for loading or storing. N_b base registers counted from the number indicated by Bf and N_g general-registers counted from the number indicated by G1 are loaded or stored in accordance with an LM instruction or an STM instruction.

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-103630
(43) Date of publication of application : 16.04.1990

(51) Int.CI. G06F 9/30
G06F 7/00
G06F 9/34

(21) Application number : 63-256845 (71) Applicant : NEC CORP
KOUFU NIPPON
DENKI KK
(22) Date of filing : 12.10.1988 (72) Inventor : MAKITA AKIHISA
ENDO TOMOHIKO

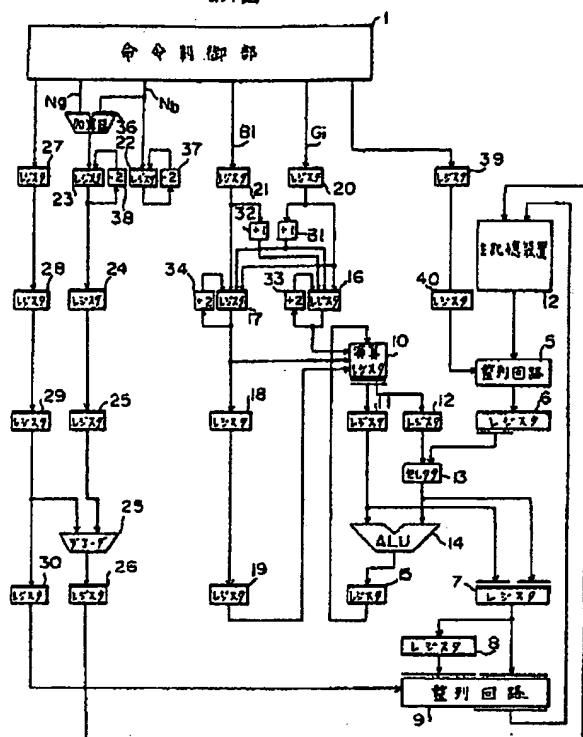
(54) DATA PROCESSOR

(57) Abstract:

PURPOSE: To speed up a data processing designating plural registers with one instruction to a register group composed of plural kinds of plural general purpose registers, address registers, etc., each of which is composed of plural registers and processing instructions for storing data in a main memory device. CONSTITUTION: This data processor is constituted of an instruction control section 1, main memory device (memory) 2, alignment circuits 5 and 9, registers 6-8, 11, 12, 15...30, 39, and 40, operation register 10, selector 13, ALU (arithmetic logic unit) 14, store mask decoder 35, and adders 31...34, 36, and 38. Then plural registers of the register group composed of general purpose registers, address registers, etc., each of which is composed of plural registers are designated by one instruction and instructions for storing data in the memory 2 are performed. Therefore, processing speeds of arithmetic operations of various data sizes can be improved.

Fig. 1

第1図



特開平2-103630 (8)

Fig. 2

第2図

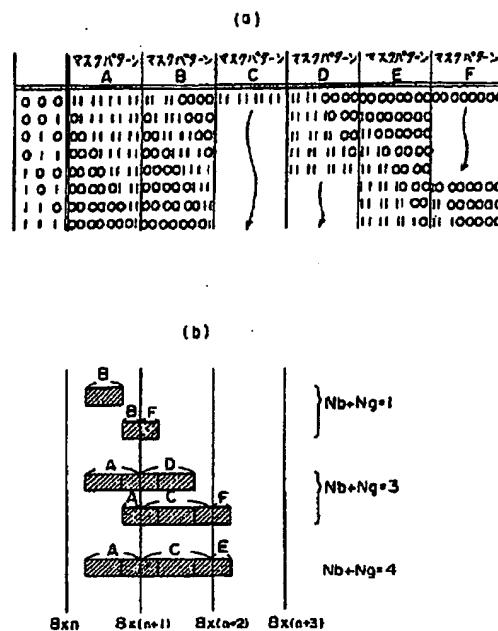


Fig. 3

第3図

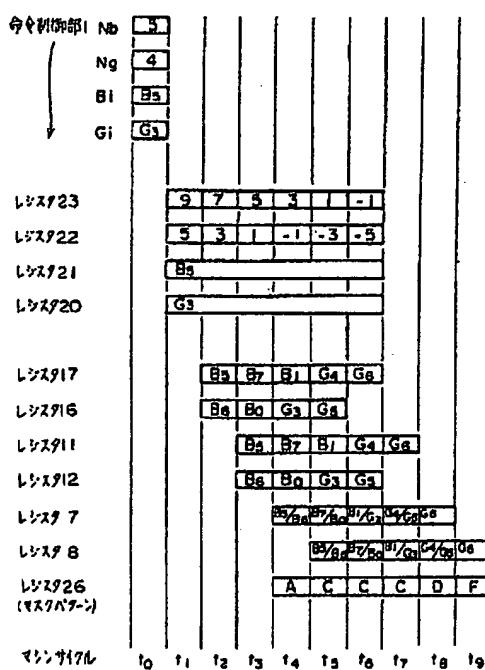


Fig. 4

第4図

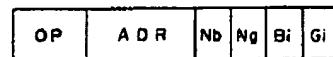
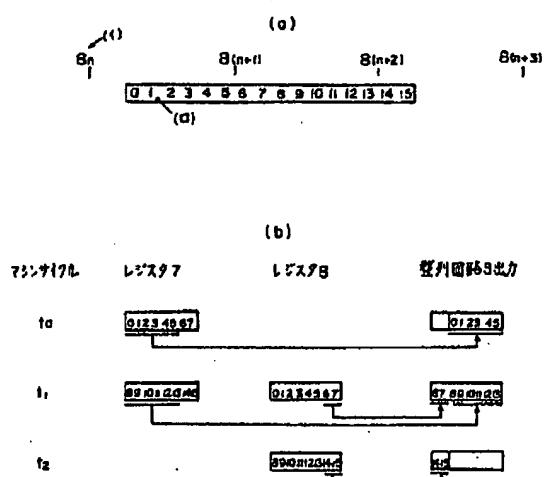


Fig. 5

第5図



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平2-103630

⑬ Int. Cl. 9
 G 06 F 9/30 350 B 7361-5B
 7/00
 9/34 330 7361-5B
 7313-5B G 06 F 7/00 R
 審査請求 未請求 請求項の数 1 (全 8 頁)

⑭ 発明の名称 データ処理装置

⑮ 特願 昭63-256845
 ⑯ 出願 昭63(1988)10月12日

⑰ 発明者 牧田 明久 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 発明者 遠藤 友彦 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社内
 ⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 出願人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号
 ㉑ 代理人 弁理士 山川 政樹 外2名

明細書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

一連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を有し、前記メモリへのデータのストアを個々のレジスタの複数個分のデータ幅で行い得るデータ処理装置で、前記第1のレジスタ群の任意の番号のレジスタから任意の個数のレジスタと前記第2のレジスタ群の任意の番号のレジスタから任意の個数のレジスタを前記メモリへストアする命令の実行において、命令で指定されたメモリへストアする第1のレジスタ群のレジスタの個数がセットされ該メモリへのストアのデータ幅のレジスタのデータ幅に対する倍数分だけメモリへのストア毎に減算されるカウンタ手段と、前記第1のレジスタ群と前記第2のレジスタ群から前記メモリへストアするため読み出されるレジスタを指定するレジスタ

番号を保持する前記倍数の個数のレジスタ番号レジスタ群とを有し、前記カウンタ手段の値が前記倍数より大きいか等しい際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を前記レジスタ番号レジスタ群の各レジスタに順にセットし、命令開始後2回目以降のストアに対しては前記レジスタ番号レジスタ群の各レジスタには各々直前の値に前記倍数だけ加算した値をセットし、前記カウンタ手段の値が前記倍数より小さく0以上の際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を前記レジスタ番号レジスタ群の先頭のレジスタから前記カウンタ手段の値の個数のレジスタにセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をセットし、命令開始後2回目以降のストアに対しては前記レジスタ番号レジスタ群の先頭から前記カウンタ手段の

値の倍数のレジスタには原前の値に前記倍数だけ加算した値をセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続したレジスタ番号をセットし、前記カウンタ手段の値が負のときには、前記レジスタ番号レジスタ群の各レジスタには原前の値に前記倍数だけ加算した値をセットするよう逆御されることを特徴とするデータ処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は汎用レジスタ、アドレスレジスタなど複数種類の各々が複数個からなるレジスタ群に対して1命令で複数個のレジスタを指定して主記憶装置へストアする命令を処理するデータ処理装置に係り、特に一連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を有し、上記メモリへのデータのストアを個々のレジスタの複数個分のデータ幅で行い得るデータ処理装置に関するものである。

る) やストアマルチブル (Store Multiple) 命令 (以下、STM 命令と呼称する) がある。そして、この LM 命令および STM 命令は LM 命令、STM 命令の命令語形式を示す図である第4図に示すような命令形式をしており、LM 命令あるいは STM 命令であることを示すオペコード部 OP、LM 命令のときはレジスタにロードするデータが格納されている主記憶装置上のアドレスを示し STM 命令のときはレジスタの内容をストアすべき主記憶装置上のアドレスを示す ADR フィールド、ロードあるいはストアするベースレジスタ、汎用レジスタの個数を示す Nb、Ng フィールド、ロードあるいはストアするベースレジスタ、汎用レジスタの先頭番号を示す B1、G1 フィールドを持つ。この LM 命令、STM 命令でロードあるいはストアされるベースレジスタは B1 で示される番号から連続する番号を持つ Nb 個であり、同じく汎用レジスタは G1 で示される番号から連続する番号を持つ Ng 個である。

そして、メインプログラムからサブルーチンブ

〔従来の技術〕

この種のデータ処理装置では、ベースレジスタ (Base Register) と呼ばれる主に主記憶装置内の命令語や命令で使用するデータを指定するためのアドレス情報を格納するレジスタや汎用レジスタ (General Register) と呼ばれる主に演算データやベースレジスタとともに使用されるインデクス (Index) 情報を格納するレジスタが複数個ずつ用意されており、プログラムから自由に使用できるようになっている。

そして、ベースレジスタや汎用レジスタは各々連続した互いに独立な番号が付けられ、この番号を指定することでプログラムから簡単に使用できるようになっているがその数に限りがあるためサブルーチンプログラム等で作業用レジスタを必要とする場合メインプログラム側で使用していたレジスタを一時退避しメインプログラムに戻るときに回復する必要がある。

このときに使用される命令にロードマルチブル (Load Multiple) 命令 (以下、LM 命令と呼称す

る) が呼ばれるとき、メインプログラムで使用していたベースレジスタおよび汎用レジスタの内容は STM 命令によって主記憶装置へ退避され以降サブルーチンプログラムではこれらのベースレジスタおよび汎用レジスタを自由に使用できるようになる。サブルーチンプログラムでの処理が終わり呼び出し元のメインプログラムへ戻るとき STM 命令によって主記憶装置へ退避されていたベースレジスタ・汎用レジスタは、LM 命令によってサブルーチンプログラムを呼び前の状態に回復されメインプログラムの処理が続けられる。

〔発明が解決しようとする課題〕

LM 命令および STM 命令の特長は、複数のレジスタを退避・回復するときに通常のロード命令・ストア命令のようにレジスタ1個ずつに命令1個ずつを記述する必要がなくプログラムが簡単になることであるが、実際にはロードあるいはストアされるレジスタが命令語中に1つずつ記述されているわけではないので、データ処理装置の

制御回路が先頭のレジスタ番号 BI, GI とレジスターの個数 Nb, Ng から各々のレジスタ番号を生成しレジスタの読み出し・書き込みを制御しなければならない。

一般に、高速の汎用のデータ処理装置では、種々のデータサイズの演算処理を高速化するために、主記憶装置との間の読み出しおよび書き込みのデータ幅をなるべく広くとり効率を上げようとしており、通常このデータ幅はベースレジスタおよび汎用レジスタのデータ幅の2倍あるいはそれ以上にとられていることが多いが、LM 命令、STM 命令では上述したロード・ストアのレジスタ番号の制御の複雑さ故に、この主記憶装置とデータ処理装置との間のデータバスを効率的に利用できていなかつた。

さらに、従来のこの種のデータ処理装置では、汎用レジスタ間の演算、例えば、汎用レジスターと汎用レジスターとを加算し汎用レジスターへ格納というような命令が存在し、この命令を高速化するために汎用レジスターを2個同時に読み出すことができるようになつてゐるが、この機能も STM 命

記倍数の個数のレジスタ番号レジスタ群とを有し、上記カウンタ手段の値が上記倍数より大きいか等しい際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を上記レジスタ番号レジスタ群の各レジスタに順にセットし、命令開始後2回目以降のストアに対しては上記レジスタ番号レジスタ群の各レジスタには各々直前の値に上記倍数だけ加算した値をセットし、上記カウンタ手段の値が上記倍数より小さく0以上の際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号を上記レジスタ番号レジスタ群の先頭のレジスタから上記カウンタ手段の値の個数のレジスタにセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をセットし、命令開始後2回目以降のストアに対しては上記レジスタ番号レジスタ群をセットし、残りのレジスタ番号レジスタには命令

令に対して上述した理由により効率的に利用されていないという課題があつた。

〔課題を解決するための手段〕

本発明のデータ処理装置は、一連の番号を付けられたメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を有し、上記メモリへのデータのストアを個々のレジスタの複数個分のデータ幅で行い得るデータ処理装置で、上記第1のレジスタ群の任意の番号のレジスタから任意の個数のレジスタと上記第2のレジスタ群の任意の番号のレジスタから任意の個数のレジスタを上記メモリへストアする命令の実行において、命令で指定されたメモリへストアする第1のレジスタ群のレジスタの個数がセットされそのメモリへのストアのデータ幅のレジスタのデータ幅に対する倍数分だけメモリへのストア毎に演算されるカウンタ手段と、上記第1のレジスタ群と上記第2のレジスタ群から上記メモリへストアするため読み出されたレジスタを指定するレジスタ番号を保持する上

で指定された第2のレジスタ群の先頭のレジスタ番号から連続したレジスタ番号をセットし、上記カウンタ手段の値が負のときには上記レジスタ番号レジスタ群の各レジスタには直前の値に上記倍数だけ加算した値をセットするよう制御されるものである。

〔作用〕

本発明においては、汎用レジスター、アドレスレジスターなど複数種類の各々が複数個からなるレジスタ群に対して1命令で複数個のレジスタを指定して主記憶装置(メモリ)へストアする命令を処理する。

〔実施例〕

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

図において、1は命令制御部、2は主記憶装置(メモリ)、3, 9は並列回路8~8, 11, 12, 15, 16...30, 38, 40はレジスター、10は

演算レジスタで、この演算レジスタ10は、1連の番号を付けられメモリへストアされたとき同一のデータ幅を占める複数個のレジスタから構成される第1のレジスタ群と第2のレジスタ群を内蔵している。そして、レジスタ16, 17は第1のレジスタ群と第2のレジスタ群から主記憶装置1(メモリ)へストアするため既出レジスタを指定するレジスタ番号を保持するメモリへのストアのデータ幅のレジスタのデータ幅に対する倍数の個数のレジスタ番号レジスタ群を形成している。13はセレクタ、14はALU(Arithmetic Logic Unit)、31, 32, 33, 34, 36, 37, 38は加算器で、この加算器38とレジスタ23は命令で指定されたメモリへストアする第1のレジスタ群のレジスタの個数がセットされそのメモリへのストアのデータ幅のレジスタのデータ幅に対する倍数分だけメモリへのストア毎に演算されるカウンタ手段を構成している。

そして、第1のレジスタ群の任意の番号のレジスタから任意の個数のレジスタと第2のレジ

群の任意の番号のレジスタから任意の個数のレジスタをメモリへストアする命令の実行において、上記カウンタ手段の値が上記倍数より大きいか等しい際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をレジスタ番号レジスタ群の各レジスタに順にセットし、命令開始後2回目以降のストアに対してはレジスタ番号レジスタ群の各レジスタには各々直前の値に上記倍数だけ加算した値をセットし、上記カウンタ手段の値が上記倍数より小さく0以上の際には、命令開始後最初のストアに対しては命令で指定された第1のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をレジスタ番号レジスタ群の先頭のレジスタから上記カウンタ手段の値の個数のレジスタにセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続するレジスタ番号をセットし、命令開始後2回目以降のストアに対してはレジスタ番号レジスタ群の先頭から上記カウ

ンタ手段の値の個数のレジスタには直前の値に上記倍数だけ加算した値をセットし、残りのレジスタ番号レジスタには命令で指定された第2のレジスタ群の先頭のレジスタ番号から連続したレジスタ番号をセットし、上記カウンタ手段の値が負のときにはレジスタ番号レジスタ群の各レジスタには直前の値に上記倍数だけ加算した値をセットするよう制御されるよう構成されている。

つぎにこの第1図に示す実施例の動作を説明する。

まず、命令制御部1は命令語を解説しデータ処理装置各部へ命令実行に必要な情報と制御信号を供給する。主記憶装置2は、データ処理装置で実行される命令や各種データが格納されるがこの第1図に示す実施例では命令制御部1への命令供給バスは省略されている。この主記憶装置2からはアドレスが8a~8a+7の8バイトのデータを一度に既出せるが、主記憶装置2に格納されている各種オペランドは任意のアドレスに置かれるため並列回路5によって各種データタイプ毎に処理しや

すいようにレジスタ8の一定の位置へ整列して既出される。そして、既出されたデータの並列のための情報としてはオペランドの先頭のアドレスの最下位3ビットが命令制御部1からレジスタ39とレジスタ40を経由して供給されるため、この情報から主記憶装置2から既出された8バイト内のデータのどの位置にオペランドの先頭があるかを知ることができる。

主記憶装置2にストアされるデータもアドレス8a~8a+7の8バイトを基本とするので、任意のバイト位置からデータを書き込むためにストアデータはレジスタ40およびレジスタ8にセットされた後並列回路5によつてデータの先頭位置を所定のバイト位置にずらしてからストアされる。そして、ストアデータの並列のための情報としては既出のときと同様に先頭アドレスの最下位2ビットを命令制御部1からレジスタ27~30を経由して供給される。ここで、レジスタ8の機能は8バイトより大きなデータを連続して主記憶装置2に整列して書き込むためのバッファの役割を果しており、

整列によつてはみ出したレジスタ7のストアデータが次のマシンサイクルでレジスタ8から供給されストアされる様様が第5図に示されている。第1図におけるレジスタ7, 8と整列回路9の動作説明図である。第5図において、(a)はストアされるデータの形式を示したものであり、(b)はレジスタ7, 8および整列回路9の動作を示したものである。そして、(c)は主記憶装置2のアドレスを示し、(d)はストアされるデータの先頭からのバイト位置を示す。

同様な模様は主記憶装置2からの読み出しデータについても必要であるが、この実施例で説明されるSTM命令については関係がないため詳細が省かれている。また、主記憶装置2へストアするデータは常に8バイト全てとは限らないため、実際に8バイトの中でストアするバイトを指定するストアマスク情報をストアマスクデコード35で生成してレジスタ28から主記憶装置2へストアデータと一緒に送る。これは、例えば、第5図において最初にストアデータのバイト0~5をストアす

ジスタを同時に読み出すことができ、汎用レジスタと汎用レジスタの間の演算を高速に処理することができる。また、演算レジスタ10から読み出されたデータはレジスタ7や整列回路9を通つて主記憶装置2へストアすることもできる。

ALU14は演算レジスタ10から読み出されたデータともう一方の演算レジスタ10からの読み出しだれあるいは主記憶装置2からの読み出しデータの内セレクタ13で選択されたものに論理演算や算術演算を施しレジスタ15から演算レジスタ10に書込む。

つぎに、レジスタ18は演算レジスタ10から読み出されたレジスタのレジスタ番号を保持し、レジスタ17はもう一つの演算レジスタ10からの読み出されたレジスタ番号を保持するとともに演算レジスタ10への書込みレジスタ番号の制御にも使用され、レジスタ18, 19とレジスタ番号が持回わられる。

そして、どのレジスタ16, 17には加算器31, 32, 33, 34が接続され、命令制御部1か

るときの主記憶装置2へのデータの8バイトの先頭2バイトあるいは最後のストアデータのバイト14~15をストアするときの8バイトの後6バイトはデータをストアした後でも元の内容を書き換えないようにする必要があるからである。なお、ストアマスクデコード35の詳細については後述する。

つぎに、演算レジスタ10には、4バイトのデータ幅をもつたベースレジスタおよび汎用レジスタが各8個ずつ含まれる。そして、個々のベースレジスタおよび汎用レジスタにはそれぞれベースレジスタ内、汎用レジスタ内で連続した独自な番号が割付けられ、このレジスタ番号によつて互いを区別する。この演算レジスタ10へはレジスタ19に保持されたレジスタ番号のベースレジスタあるいは汎用レジスタ全16個の中の1個に対してレジスタ15に保持された4バイトのデータを書き込むことができる。一方、読み出しに関しては、レジスタ18およびレジスタ17に各々保持されたレジスタ番号のベースレジスタあるいは汎用レ

ジスタを同時に読み出すことができる。また、汎用レジスタと汎用レジスタの間の演算を高速に処理することができる。また、演算レジスタ10から読み出されたデータはレジスタ7や整列回路9を通つて主記憶装置2へストアすることもできる。

ALU14は演算レジスタ10から読み出されたデータともう一方の演算レジスタ10からの読み出しだれあるいは主記憶装置2からの読み出しデータの内セレクタ13で選択されたものに論理演算や算術演算を施しレジスタ15から演算レジスタ10に書込む。

つぎに、レジスタ18は演算レジスタ10から読み出されたレジスタのレジスタ番号を保持し、レジスタ17はもう一つの演算レジスタ10からの読み出されたレジスタ番号を保持するとともに演算レジスタ10への書込みレジスタ番号の制御にも使用され、レジスタ18, 19とレジスタ番号が持回わられる。

そして、どのレジスタ16, 17には加算器31, 32, 33, 34が接続され、命令制御部1か

ら供給されたレジスタ番号を保持しているレジスタ20および21の内容をそのままあるいは+1加算した値をセットできるほか自身の内容に+2加算した値をセットすることもできる。ここで、レジスタ番号+1加算するということの意味は次のベースレジスタあるいは汎用レジスタのレジスタ番号を得ることである。ただし、ここで注意すべきことはベースレジスタおよび汎用レジスタは各々8個しかないので最大のレジスタ番号を持つベースレジスタ・汎用レジスタの次のレジスタは各々最小のレジスタ番号を持つベースレジスタ・汎用レジスタとなり、加算器31, 32, 33, 34もそのように動作する。

レジスタ22はSTM命令の制御のための専用レジスタであり、命令語のNbフィールドの値、すなわち、ストアされるベースレジスタの個数が命令制御部1から供給されセットされ、演算レジスタ10の内容を主記憶装置2にストアする毎に加算器37によつてその値が-2ずつ減ぜられる。このレジスタ22の機能はその値によつて演算レ

レジスタ10のレジスタ番号レジスタ18および17にセットされるレジスタ番号を制御することであり、下記表に示すようにレジスタ22の値によつてSTM命令で指定された演算レジスタの第1回目のストア動作あるいは第2回目以降のストア動作に合せてレジスタ18, 17の内容は制御される。

レジスタ 22の値	1回目の値		2回目以降の値	
	レジスタ17	レジスタ16	レジスタ17	レジスタ16
≥2	B1 (レジスタ21 の内容)	B1+1 (レジスタ21 の内容+1)	レジスタ17 の内容+2	レジスタ16 の内容+2
=1	B1	G1 (レジスタ20 の内容)	レジスタ17 の内容+2	G1
=0	G1	G1+1 (レジスタ20 の内容+1)	G1	G1+1
<0	-	-	レジスタ17 の内容+2	レジスタ16 の内容+2

レジスタ23は、ストア動作を制御するためのレジスタであり、STM命令実行時は、命令語のNb

第1図におけるストアマスクデコード35の動作パターン(a)と使用例を示す図(b)である第2図において、(a)に示すマスクパターンAは第1回目のストアで残りのレジスタ個数が2以上のときに使われ、マスクパターンBは、第1回目のストアで残りのレジスタ個数が1のとき、マスクパターンCは2回目以降のストアで残りのレジスタ個数が2以上のとき、マスクパターンDは2回目以降のストアで残りのレジスタ個数が1のとき、マスクパターンEは2回目以降のストアで残りのレジスタ個数が0のとき、マスクパターンFは2回目以降のストアで残りのレジスタ個数が1個になつてたときにそれぞれ使われるパターンで、各々のマスクパターンで「1」になつてあるビットに対応するバイトが実際に主記憶装置に書き込まれる。

第2図(b)には、実際にストアするレジスタの個数およびストアの先頭アドレスによつてストアマスクパターンがどのように使われるかが示されている。

フィールドおよびNg フィールドの値が命令制御部1から供給され、これらの値を加算器36で加算した値、すなわち、ストアするベースレジスタと汎用レジスタの個数がセットされ演算レジスタ10の内容を主記憶装置2にストアする毎に加算器38によつて-2ずつ減ぜられる。そして、このストア動作毎に-2ずつ減ぜられたレジスタ23の値は、レジスタ24と25を経由してストアマスクデコード35に供給される。

ストアマスクデコード35は、命令制御部1から供給されレジスタ27, 28, 29を経由して主記憶装置2へのストアの先頭アドレスの最下位3ビットの情報と、レジスタ23からレジスタ24, 25と経由されてきた値、すなわち、ストアすべき残りのレジスタの個数と、そのストア動作がSTM命令の最初のストア動作か否かという情報からストアマスク情報を生成してレジスタ26から主記憶装置2へ整列回路9からのストアデータと同期して送る。第2図(a)にストアマスクの生成パターンを示す。

なお、実際に主記憶装置2に対して行なわれるストア動作の回数Sはストアされるベースレジスタ、汎用レジスタの合計R=Nb+Ngとストア先の先頭アドレス最下位3ビットAから

$$S = (4R+A+7)/8 \quad (\text{小数点以下切捨て}) \cdots (1)$$

で求められ、命令制御部1からの制御によつてこの回数だけのストア動作が行なわれる。

以上が第1図のデータ処理装置の各部の機能説明であり、つぎにこのデータ処理装置について具体的な動作をSTM命令の実行例を示すタイムチャートである第3図によつて説明する。図中、ベースレジスタ、汎用レジスタのレジスタ番号と各々のレジスタから読出された内容をBj(j=0...7), Gj(j=0...7)で表わしている。

そして、この例では、ストアされるベースレジスタはB1から始まる5個、汎用レジスタはG1から始まる4個の合計9個で、ストアアドレスの最下位3ビットは6であり、前記(1)式によりストア動作回数は6回となる。

以下、順を追つて説明する。

まず、マシンサイクル t_1 において STM 命令を解読した命令制御部 1 は命令語(第 4 図参照)からとりだした N_b, N_g, B_1, B_2 等の情報を出力する。そして、これらの情報は、マシンサイクル t_1 においてレジスタ 23 には $N_b + N_g = 9$ 、レジスタ 22 には $N_b = 5$ 、レジスタ 21 には $B_1 = B_2$ 、レジスタ 20 には $G_1 = G_2$ としてとり込まれる。以降、レジスタ 21, 20 の内容は STM 命令の終了するまでこのまま保持され続ける。一方、レジスタ 23, 22 にとり込まれた $N_b + N_g, N_b$ の情報は同じく STM 命令の終了するまで -2 ずつ減ぜられ、ストアマスクの生成の制御、演算レジスタの読み出し番号の制御に使用される。

そして、レジスタ 17, 16 に保持されている演算レジスタ 10 からの読み出しレジスタ番号は、マシンサイクル t_1 において始めて演算レジスタ 10 からのデータの読み出しのためにセットされるマシンサイクル t_1 まで $(B_1, B_0), (B_2, B_0)$ とベースレジスタのペアを順に指示していくが、

アドレスレジスタなど複数種類の各々が複数個からなるレジスタ群に対して 1 命令で複数個のレジスタを指定して主記憶装置(メモリ)へストアする命令を処理することにより、メモリーへのストアデータ幅が各レジスタのデータ幅の複数倍ある場合、複数レジスタを同時に 1 回のストア動作でメモリーへストアすることができ、また、種類の異つたレジスタとレジスタの並び目でも連続してストアすることができる効果がある。

4. 図面の簡単な説明

第 1 図は本発明の一実施例を示すブロック図、第 2 図は第 1 図におけるストアマスクデコードの動作説明図、第 3 図は第 1 図の実施例における動作例を示すタイムチャート、第 4 図は本発明の説明に供する LM 命令、STM 命令の命令語形式を示す説明図、第 5 図は第 1 図におけるレジスタおよび整列回路の動作説明図である。

1 . . . 命令制御部、2 . . . 主記憶装置
(メモリ)、5, 9 . . . 整列回路、10 . . .
演算レジスタ、13 . . . セレクタ、14

マシンサイクル t_1 においてレジスタ 22 の値 = 1 によって残りのベースレジスタの個数が 1 個であることがわかると、次のマシンサイクル t_2 では残りのベースレジスタ B_2 と次の汎用レジスタへ先頭 G_2 を指示するように制御され、以降 $(G_1, G_0), (G_0, \text{なし})$ と順に読み出すレジスタ番号を指示していく。

マシンサイクル t_2 以降 2 つずつ演算レジスタ 10 から読み出されたベースレジスタ・汎用レジスタはレジスタ 11, 12, 7, 8 および整列回路 9 を経て主記憶装置 2 へストアされていき、6 回のストア動作で終了する。

一方、ストアデータに同期してストアマスクは、レジスタ 23 からレジスタ 24, 25 を経た残りレジスタ個数とストアアドレスの最下位 3 ビットの情報で整列回路 9 で整列されたストアデータのバイト位置に合せて生成され、主記憶装置 2 へ送られる。

〔発明の効果〕

以上説明したように本発明は、汎用レジスタ、

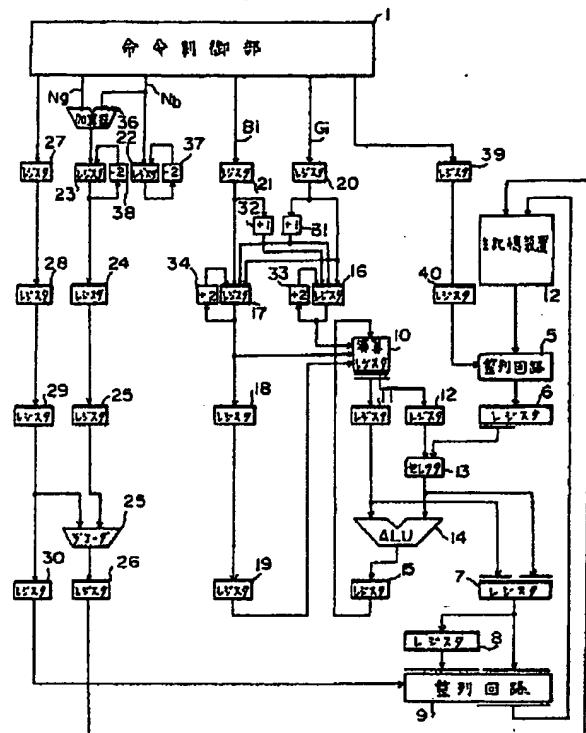
. . . . ALU, 8~8, 11, 12, 15~30 . . .
レジスタ, 31~34 . . . 加算器, 35 . . .
. . . ストアマスクデコード, 36~38 . . .
加算器, 39, 40 . . . レジスタ。

特許出願人 日本電気株式会社

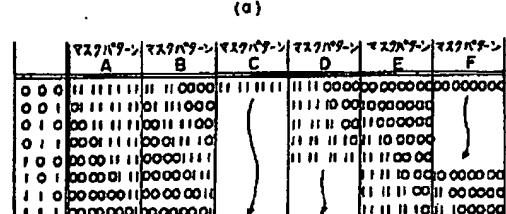
同 甲府日本電気株式会社

代理人 山川政樹(ほか2名)

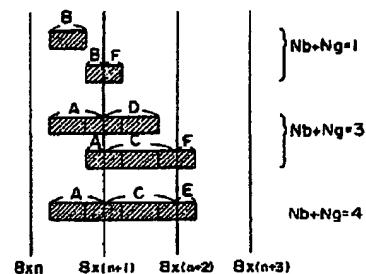
第 | 四



第2回

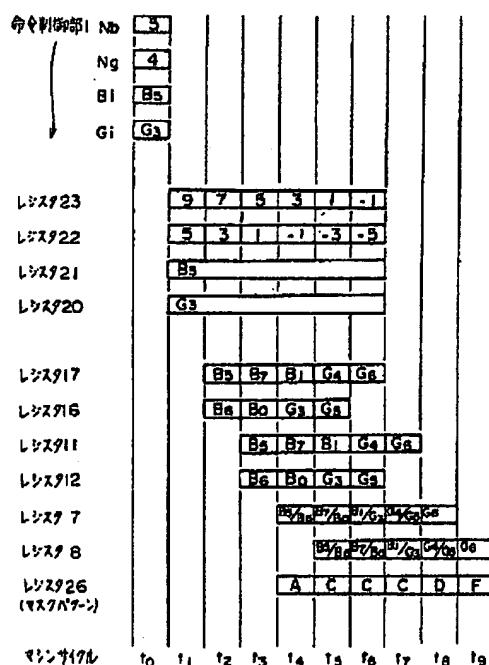


(b)

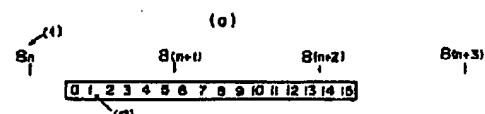


第3回

第4回



第6回



(b)			
マントナカル	レジスター	レジスト	登録用語3出力
to	01234567		012345
from	8901234567	01234567	87-08-010123
to	890801234567	890801234567	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.